Перв. примен.	ГКДЯ.431324.010
Справ. №	

СОГЛАСОВАНО
Начальник 157 ВП МО РФ

_____Н.Н. Здор

«_____»_____2015 г.

УТВЕРЖДАЮ
Генеральный директор
ОАО «СКТБ ЭС»

_____ И.Е. Лобов

«_____»_____2015 г.

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ

1273ПВ12Т

Техническое описание

ГКДЯ.431324.010ТО

Подп. и дата	
Инв. № дубл.	
Взам. инв №	
Подп. и дата	
Инв. № подл.	

СОГЛАСОВАНО
Заместитель начальника
157 ВП МО РФ

_____Д.В. Шевцов

«_____»_____2015 г.

Главный конструктор

_____ И.В. Пантыкин

«___»_____2015 г.

Нормоконтролер

_____ А.В. Григорьева

«___»_____2015 г

Литера «~~О~~» «А»

Содержание

1 Введение
2 Назначение
3 Основные технические характеристики
4 Условное графическое обозначение и назначение выводов ИС
5 Устройство и работа ИС
5.1 Структурная электрическая схема
5.2 Временные диаграммы работы ИС 1273ПВ12Т
5.3 Входы синхронизации (CLK, $\overline{\text{CLK}}$)
5.4 Аналоговые входы (VIN, $\overline{\text{VIN}}$)
5.5 Входы синхронизации данных (DS, $\overline{\text{DS}}$)
5.6 Выходы КМОП
5.7 Выходы LVDS
5.8 Выходы синхронизации (DCO, $\overline{\text{DCO}}$)
5.9 Источник опорного напряжения
6 Рекомендации по применению
6.1 Типовая схема подключения сигнала синхронизации
6.2 Типовая схема подключения входного аналогового сигнала
6.3 Рекомендации по рабочей температуре корпуса
6.4 Указания по монтажу

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

1 Введение

Настоящее "Техническое описание" ГКДЯ.431324.010ТО предназначено для изучения интегральной микросхемы 1273ПВ12Т, содержит описание принципа её работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхемы.

Функциональным аналогом интегральной микросхемы 1273ПВ12Т является микросхема AD9430.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

2 Назначение

Микросхема 1273ПВ12Т представляет собой 12-разрядный АЦП с встроенным УВХ, оптимизированный для высокой производительности, достаточно низкого энергопотребления и простоты использования. Микросхема функционирует до 200 MSPS (мегавыборок/сек) в диапазоне температур от минус 60 до 85 °С.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

3 Основные технические характеристики

3.1 Значения электрических параметров микросхемы 1273ПВ12Т приведены в таблице 1.

Таблица 1 – Электрические параметры микросхемы 1273ПВ12Т

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды (корпуса)*, °С
		не менее	не более	
1	2	3	4	5
Дифференциальное напряжение на цифровых выходах в режиме LVDS, мВ [1)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; f_C = 5 МГц	U_{OD}	247	454	25±10 –60±3 85±3
Напряжение логической «1» на цифровых выходах в режиме КМОП, В [2)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; I_{OH} = 100 мкА; f_C = 5 МГц	U_{OH}	U_{CCD} – 0,1	–	25±10 –60±3 85±3
Напряжение логического «0» на цифровых выходах в режиме КМОП, В [2)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; I_{OL} = 1,2 мА; f_C = 5 МГц	U_{OL}	–	0,1	25±10 –60±3 85±3
Выходное напряжение внутреннего ИОН, В при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В	U_{REF_INT}	1,15	1,35	25±10 –60±3 85±3
Входной опорный ток, мкА при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В	I_{REF}	–	20	25±10 –60±3 85±3
Входной ток высокого уровня на цифровых входах S1, S2, S4, S5, мкА при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В	I_{IH}	–	190	25±10 –60±3 85±3
Входной ток низкого уровня на цифровых входах S1, S2, S4, S5, мкА при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В	I_{IL}	–10	–	25±10 –60±3 85±3
Ток потребления от источника U_{CCA}, мА [7)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; f_C = 200 МГц	I_{CCA}	–	600	25±10 –60±3 85±3
Ток потребления от источника U_{CCD}, мА [7)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; f_C = 200 МГц	I_{CCD}	–	100	25±10 –60±3 85±3

Подп. и дата | Инв. № дубл. | Взам. инв. № | Подп. и дата | Инв. № подл.

Окончание таблицы 1

1	2	3	4	5
Нелинейность, МР [3, 4)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; U_{DIN} = –0,5 дБ от полной шкалы; f_C = 5 МГц	E_{LBS}	−4,0	4,0	25±10 –60±3 85±3
Дифференциальная нелинейность, МР [4)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; U_{DIN} = –0,5 дБ от полной шкалы; f_C = 5 МГц	E_{LD}	−2,5	2,5	25±10 –60±3 85±3
Погрешность коэффициента преобразования, % от полной шкалы [5, 7)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; f_C = 200 МГц	E_O	−6	6	25±10 –60±3 85±3
Смещение в начальной точке шкалы, мВ при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; f_C = 5 МГц	U_{IO}	−12	12	25±10 –60±3 85±3
Отношение сигнал/шум на частоте 10 МГц, дБ [6,8)] при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В; U_{DIN} = –0,5 дБ от полной шкалы; f_C = 200 МГц	SNR	58	–	25±10
		54	–	–60±3
		57	–	85±3
Входное сопротивление, кОм при 3,2 В ≤ U_{CCA} ≤ 3,6 В; 3,0 В ≤ U_{CCD} ≤ 3,6 В	R_{IN}	2	–	25±10 –60±3 85±3

* Параметры АЦП гарантируются при повышенной температуре корпуса 85 °С.

[1)] При сопротивлении нагрузки 100 Ом ± 5% и токозадающем резисторе на выводе 8, равном 3,65 кОм ± 1 %.

[2)] При емкости нагрузки 5 пФ.

[3)] Нелинейность измеряется относительно минимаксной прямой (best-straight line).

[4)] Замер производится в не менее чем 20-ти точках шкалы.

[5)] Точность измерения ± 0,1 % от полной шкалы.

[6)] Погрешность измерения SNR составляет ± 0,5 дБ.

[7)] Замеры проводятся при неподключенном первом выводе микросхемы (NC).

[8)] Замеры проводятся при f_C = 200 МГц с неподключенным первым выводом (NC) и при f_C = 100 МГц с первым выводом, подключенным к AGND.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

3.2 Предельно допустимые и предельные режимы эксплуатации микросхем 1273ПВ12Т приведены в таблице 2.

Таблица 2 – Предельно допустимые и предельные режимы эксплуатации микросхем

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания цифровой части, В	U_{CCD}	3,0	3,6	−0,3[1)]	3,96[1)]
Напряжение питания аналоговой части, В	U_{CCA}	3,2	3,6	−0,3[1)]	3,96[1)]
Входное внешнее опорное напряжение, В	U_{REF_EXT}	1,15	1,3	−0,3[1)]	3,96[1)]
Максимальное дифференциальное входное аналоговое напряжение, В при $U_{S5} = 0$ В	U_{DIN}	0,766	−0,766	1,6[2)]	3,96 [1), 2)]
Дифференциальное входное напряжение тактовых импульсов, В	U_{INC}	0,2	–	–0,3[1), 3)]	3,96 [1), 3)]
Входное напряжение высокого уровня на цифровых входах, В	U_{IH}	2,0	U_{CCD}	–	3,96[1)]
Входное напряжение низкого уровня на цифровых входах, В	U_{IL}	0	0,8	–0,3[1)]	–
Частота преобразования, МГц	f_C	5	200	–	–

[1)] При $\overline{|U_I - U_{CCA}|} \leq 3{,}96$ В,
где U_I – напряжение на входе.

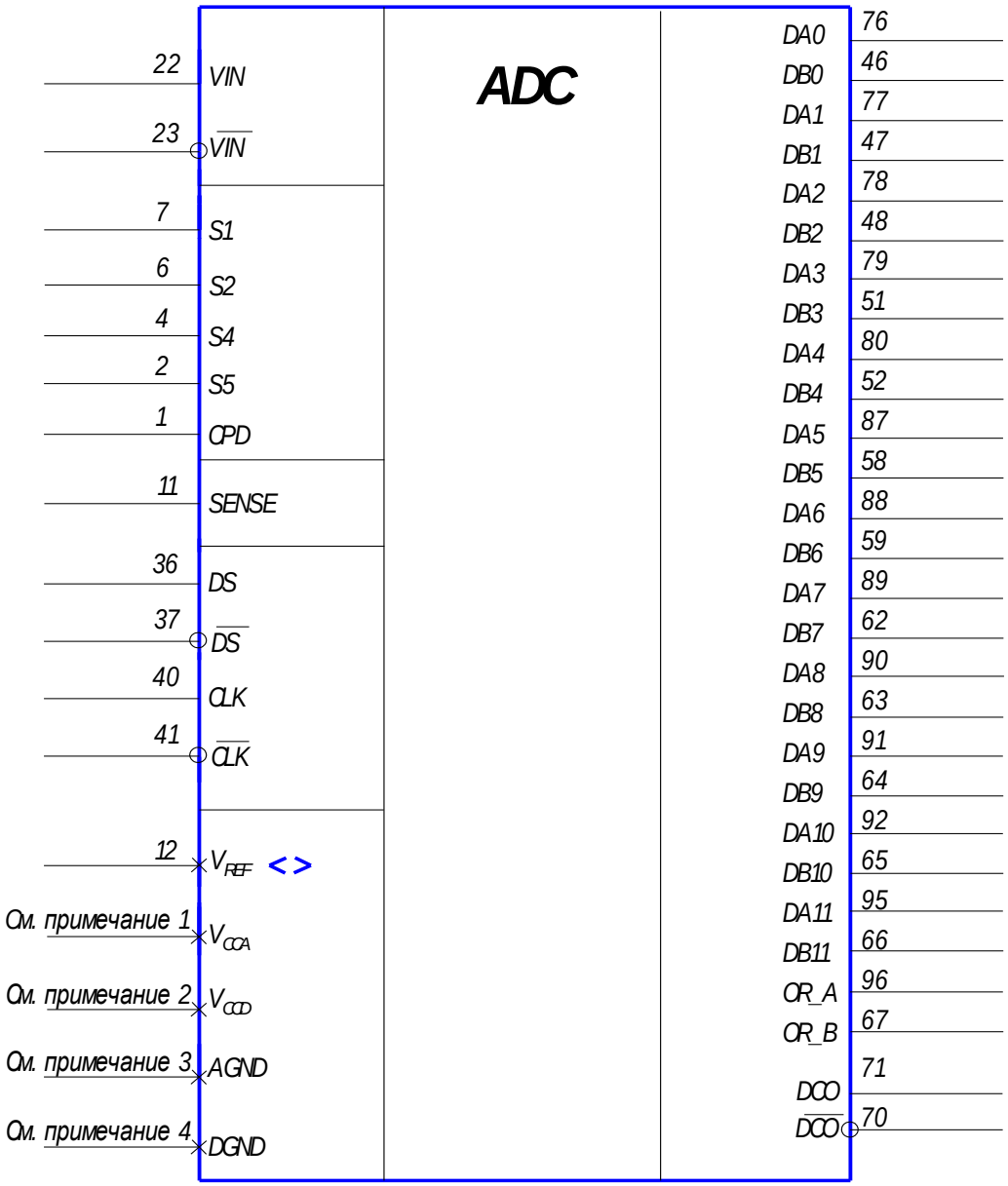
[2)] Для каждого аналогового входа.

[3)] Для каждого входа тактовых импульсов.

Подп. и дата | Инв. № дубл. | Взам. инв. № | Подп. и дата | Инв. № подл.

4 Условное графическое обозначение и назначение выводов ИС

4.1 Условное графическое обозначение микросхемы 1273ПВ12Т в режиме КМОП приведено на рисунке 1, в режиме LVDS – на рисунке 2.



Примечания

1 Шина V_{CCA} разведена на выводы 9, 15, 16, 19, 20, 25, 31, 32, 33, 38, 43, 44, 84, 99, 100, 101, 105, 106, 109, 110.

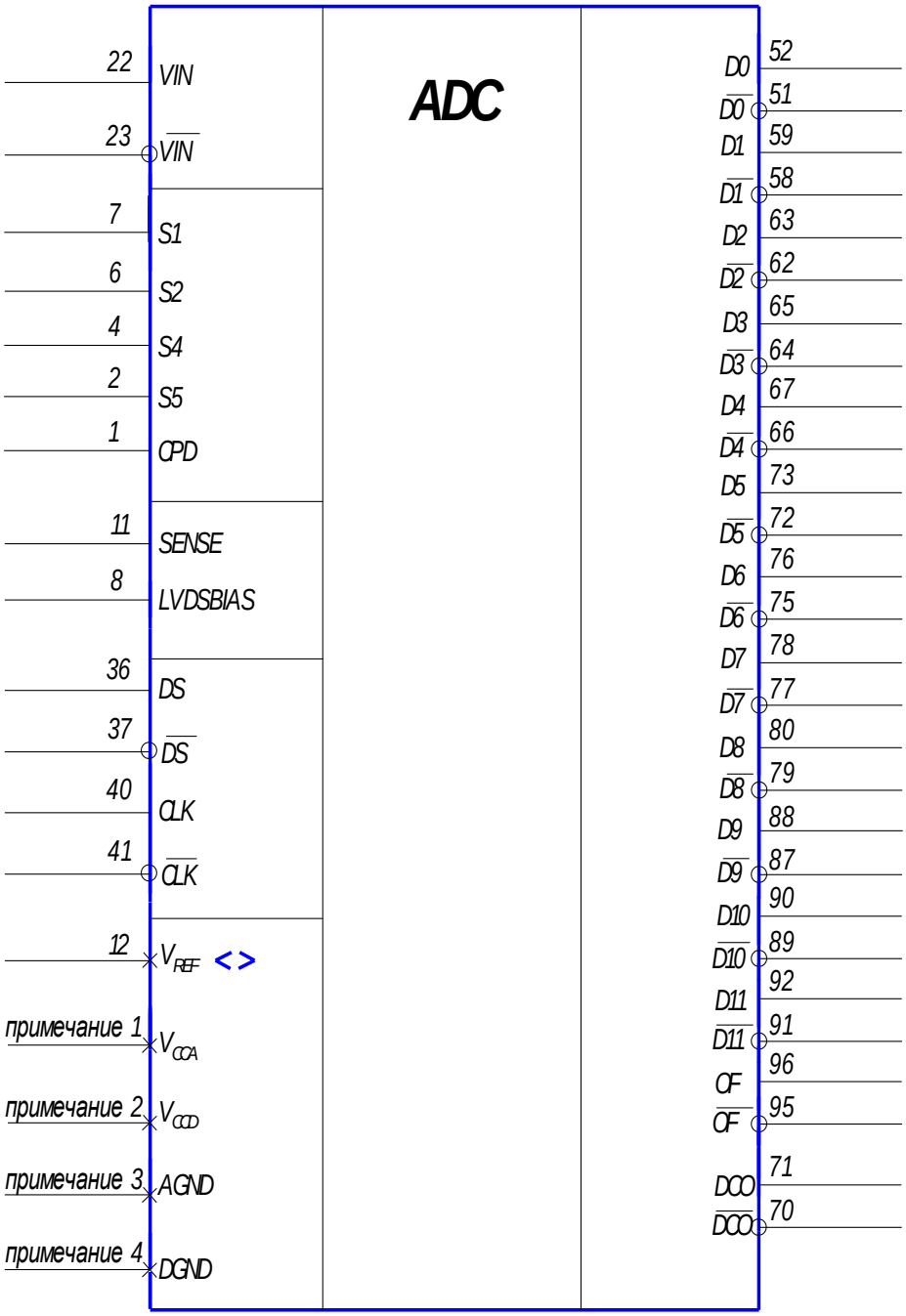
2 Шина V_{CCD} разведена на выводы 49, 61, 69, 82, 94.

3 Шина AGND разведена на выводы 5, 10, 13, 14, 17, 18, 21, 24, 26, 30, 34, 35, 39, 42, 45, 53, 54, 55, 56, 57, 83, 85, 86, 97, 98, 102, 103, 104, 107, 108, 111.

4 Шина DGND разведена на выводы 50, 60, 68, 74, 81, 93.

Рисунок 1 – Условное графическое обозначение микросхемы 1273ПВ12Т в режиме КМОП в корпусе 4233.112-А

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.



Примечания

1 Шина V_{CCA} разведена на выводы 9, 15, 16, 19, 20, 25, 31, 32, 33, 38, 43, 44, 84, 99, 100, 101, 105, 106, 109, 110.

2 Шина V_{CCD} разведена на выводы 49, 61, 69, 82, 94.

3 Шина AGND разведена на выводы 5, 10, 13, 14, 17, 18, 21, 24, 26, 30, 34, 35, 39, 42, 45, 53, 54, 55, 56, 57, 83, 85, 86, 97, 98, 102, 103, 104, 107, 108, 111.

4 Шина DGND разведена на выводы 50, 60, 68, 74, 81, 93.

Рисунок 2 – Условное графическое обозначение микросхемы 1273ПВ12Т в режиме LVDS в корпусе 4233.112-А

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

4.2 Назначение выводов микросхемы 1273ПВ12Т приведено в таблице 3.

Таблица 3 – Назначение выводов

Номер вывода	Обозначение вывода		Назначение вывода
	КМОП	LVDS	
1	CPD	CPD	Контроль управлением скважностью
2	S5	S5	Вывод настройки полной шкалы. Подача напряжения U_{CCA} на вход устанавливает размах дифференциального напряжения полной шкалы U_{FS} = 0,766 В от пика до пика; подача GND – размах дифференциального напряжения полной шкалы U_{FS} = 1,532 В от пика до пика
3	DNC*	DNC*	Не задействован. Не допускается подключение внешних связей
4	S4	S4	Для КМОП режима: вход выбора способа вывода данных. Низкий уровень напряжения на входе задаёт работу портов А и В – в параллельном режиме; высокий – в режиме чередования портов А и В. Для LVDS режима: вывод не используется, подать уровень логического «0».
5	AGND	AGND	Аналоговый «общий»
6	S2	S2	Выбор режима вывода. В режиме КМОП подать уровень логического «0», в режиме LVDS подать уровень логической «1»
7	S1	S1	Выбор формата выходного кода. Низкий уровень – двоичный смещённый код, высокий уровень – двоичный дополнительный код
8	DNC*	LVDSBIAS	Для КМОП режима: вывод не задействован. Не допускается подключение внешних связей Для LVDS режима: вывод установки выходного тока LVDS. Расположен резистор (3,65 кОм ± 1 %), связанный с землёй.
9	V_{CCA}	V_{CCA}	Аналоговое питание
10	AGND	AGND	Аналоговый «общий»
11	SENSE	SENSE	Вывод выбора источника опорного напряжения. Не подключается в случае выбора внутреннего источника опорного напряжения. При выборе внешнего источника опорного напряжения подключается к V_{CCA}
12	VREF	VREF	Вход/выход опорного напряжения. Направление функционирования вывода зависит от состояния входа SENSE
13	AGND	AGND	Аналоговый «общий»
14	AGND	AGND	Аналоговый «общий»
15	V_{CCA}	V_{CCA}	Аналоговое питание
16	V_{CCA}	V_{CCA}	Аналоговое питание

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Продолжение таблицы 3

Номер вывода	Обозначение вывода		Назначение вывода
	КМОП	LVDS	
17	AGND	AGND	Аналоговый «общий»
18	AGND	AGND	Аналоговый «общий»
19	V_{CCA}	V_{CCA}	Аналоговое питание
20	V_{CCA}	V_{CCA}	Аналоговое питание
21	AGND	AGND	Аналоговый «общий»
22	VIN	VIN	Аналоговый вход – прямой
23	$\overline{VIN}$	$\overline{VIN}$	Аналоговый вход – инверсный
24	AGND	AGND	Аналоговый «общий»
25	V_{CCA}	V_{CCA}	Аналоговое питание
26	AGND	AGND	Аналоговый «общий»
27	NC	NC	Не задействован
28	NC	NC	Не задействован
29	NC	NC	Не задействован
30	AGND	AGND	Аналоговый «общий»
31	V_{CCA}	V_{CCA}	Аналоговое питание
32	V_{CCA}	V_{CCA}	Аналоговое питание
33	V_{CCA}	V_{CCA}	Аналоговое питание
34	AGND	AGND	Аналоговый «общий»
35	AGND	AGND	Аналоговый «общий»
36	DS	DS	Вход синхронизации данных – прямой. В случае, если вход в КМОП режиме не задействован, подать на него уровень логического «0». Для LVDS режима: не используется, подать на него уровень логического «0».
37	$\overline{DS}$	$\overline{DS}$	Вход синхронизации данных – инверсный. В случае, если вход в КМОП режиме не задействован, подать на него уровень логической «1». Для LVDS режима: не используется, подать на него уровень логической «1».

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Продолжение таблицы 3

Номер вывода	Обозначение вывода		Назначение вывода
	КМОП	LVDS	
38	V_{CCA}	V_{CCA}	Аналоговое питание
39	AGND	AGND	Аналоговый «общий»
40	CLK	CLK	Тактовый вход – прямой
41	$\overline{CLK}$	$\overline{CLK}$	Тактовый вход – инверсный
42	AGND	AGND	Аналоговый «общий»
43	V_{CCA}	V_{CCA}	Аналоговое питание
44	V_{CCA}	V_{CCA}	Аналоговое питание
45	AGND	AGND	Аналоговый «общий»
46	DB0	DNC*	Выход бита данных B-порта (LSB)
47	DB1	DNC*	Выход бита данных B-порта
48	DB2	DNC*	Выход бита данных B-порта
49	V_{CCD}	V_{CCD}	Цифровое питание
50	DGND	DGND	Цифровой «общий»
51	DB3	$\overline{D0}$	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D0 – инверсный (LSB).
52	DB4	D0	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D0 – прямой (LSB).
53	AGND	AGND	Аналоговый «общий»
54	AGND	AGND	Аналоговый «общий»
55	AGND	AGND	Аналоговый «общий»
56	AGND	AGND	Аналоговый «общий»
57	AGND	AGND	Аналоговый «общий»
58	DB5	$\overline{D1}$	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D1 – инверсный.
59	DB6	D1	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D1 – прямой.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Продолжение таблицы 3

Номер вывода	Обозначение вывода		Назначение вывода
	КМОП	LVDS	
60	DGND	DGND	Цифровой «общий»
61	V_{CCD}	V_{CCD}	Цифровое питание
62	DB7	$\overline{D2}$	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D2 – инверсный.
63	DB8	D2	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D2 – прямой.
64	DB9	$\overline{D3}$	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D3 – инверсный.
65	DB10	D3	Для КМОП режима: выход бита данных B-порта. Для LVDS режима: выход бита D3 – прямой.
66	DB11	$\overline{D4}$	Для КМОП режима: выход бита данных B-порта (MSB). Для LVDS режима: выход бита D4 – инверсный.
67	OR_B	D4	Для КМОП режима: выход за пределы диапазона B-порта. Для LVDS режима: выход бита D4 – прямой.
68	DGND	DGND	Цифровой «общий»
69	V_{CCD}	V_{CCD}	Цифровое питание
70	$\overline{DCO}$	$\overline{DCO}$	Выход синхронизации данных – инверсный
71	DCO	DCO	Выход синхронизации данных – прямой
72	DNC*	$\overline{D5}$	Выход бита D5 – инверсный
73	DNC*	D5	Выход бита D5 – прямой
74	DGND	DGND	Цифровой «общий»
75	DNC*	$\overline{D6}$	Выход бита D6 – инверсный
76	DA0	D6	Для КМОП режима: выход бита данных A-порта (LSB). Для LVDS режима: выход бита D6 – прямой.
77	DA1	$\overline{D7}$	Для КМОП режима: выход бита данных A-порта . Для LVDS режима: выход бита D7 – инверсный.
78	DA2	D7	Для КМОП режима: выход бита данных A-порта. Для LVDS режима: выход бита D7 – прямой.
79	DA3	$\overline{D8}$	Для КМОП режима: выход бита данных A-порта. Для LVDS режима: выход бита D8 – инверсный.
80	DA4	D8	Для КМОП режима: выход бита данных A-порта. Для LVDS режима: выход бита D8 – прямой.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Продолжение таблицы 3

Номер вывода	Обозначение вывода		Назначение вывода
	КМОП	LVDS	
81	DGND	DGND	Цифровой «общий»
82	V_{CCD}	V_{CCD}	Цифровое питание
83	AGND	AGND	Аналоговый «общий»
84	V_{CCA}	V_{CCA}	Аналоговое питание
85	AGND	AGND	Аналоговый «общий»
86	AGND	AGND	Аналоговый «общий»
87	DA5	$\overline{D9}$	Для КМОП режима: выход бита данных А-порта. Для LVDS режима: выход бита D9 – инверсный.
88	DA6	D9	Для КМОП режима: выход бита данных А-порта. Для LVDS режима: выход бита D9 – прямой.
89	DA7	$\overline{D10}$	Для КМОП режима: выход бита данных А-порта. Для LVDS режима: выход бита D10 – инверсный.
90	DA8	D10	Для КМОП режима: выход бита данных А-порта. Для LVDS режима: выход бита D10 – прямой.
91	DA9	$\overline{D11}$	Для КМОП режима: выход бита данных А-порта. Для LVDS режима: выход бита D11 – инверсный (MSB).
92	DA10	D11	Для КМОП режима: выход бита данных А-порта. Для LVDS режима: выход бита D11 – прямой (MSB).
93	DGND	DGND	Цифровой «общий»
94	V_{CCD}	V_{CCD}	Цифровое питание
95	DA11	$\overline{OF}$	Для КМОП режима: выход бита данных А-порта (MSB). Для LVDS режима: выход бита переполнения – инверсный.
96	OR_A	OF	Для КМОП режима: выход за пределы диапазона А-порта. Для LVDS режима: выход бита переполнения – прямой.
97	AGND	AGND	Аналоговый «общий»
98	AGND	AGND	Аналоговый «общий»
99	V_{CCA}	V_{CCA}	Аналоговое питание
100	V_{CCA}	V_{CCA}	Аналоговое питание

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Окончание таблицы 3

Номер вывода	Обозначение вывода		Назначение вывода
	КМОП	LVDS	
101	V_{CCA}	V_{CCA}	Аналоговое питание
102	AGND	AGND	Аналоговый «общий»
103	AGND	AGND	Аналоговый «общий»
104	AGND	AGND	Аналоговый «общий»
105	V_{CCA}	V_{CCA}	Аналоговое питание
106	V_{CCA}	V_{CCA}	Аналоговое питание
107	AGND	AGND	Аналоговый «общий»
108	AGND	AGND	Аналоговый «общий»
109	V_{CCA}	V_{CCA}	Аналоговое питание
110	V_{CCA}	V_{CCA}	Аналоговое питание
111	AGND	AGND	Аналоговый «общий»
112	NC	NC	Не задействован

* Вывод не задействован. Не допускается подключение внешних связей.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

5 Устройство и работа ИС

5.1 Структурная электрическая схема

Структурная электрическая схема ИС 1273ПВ12Т приведена на рисунке 3.

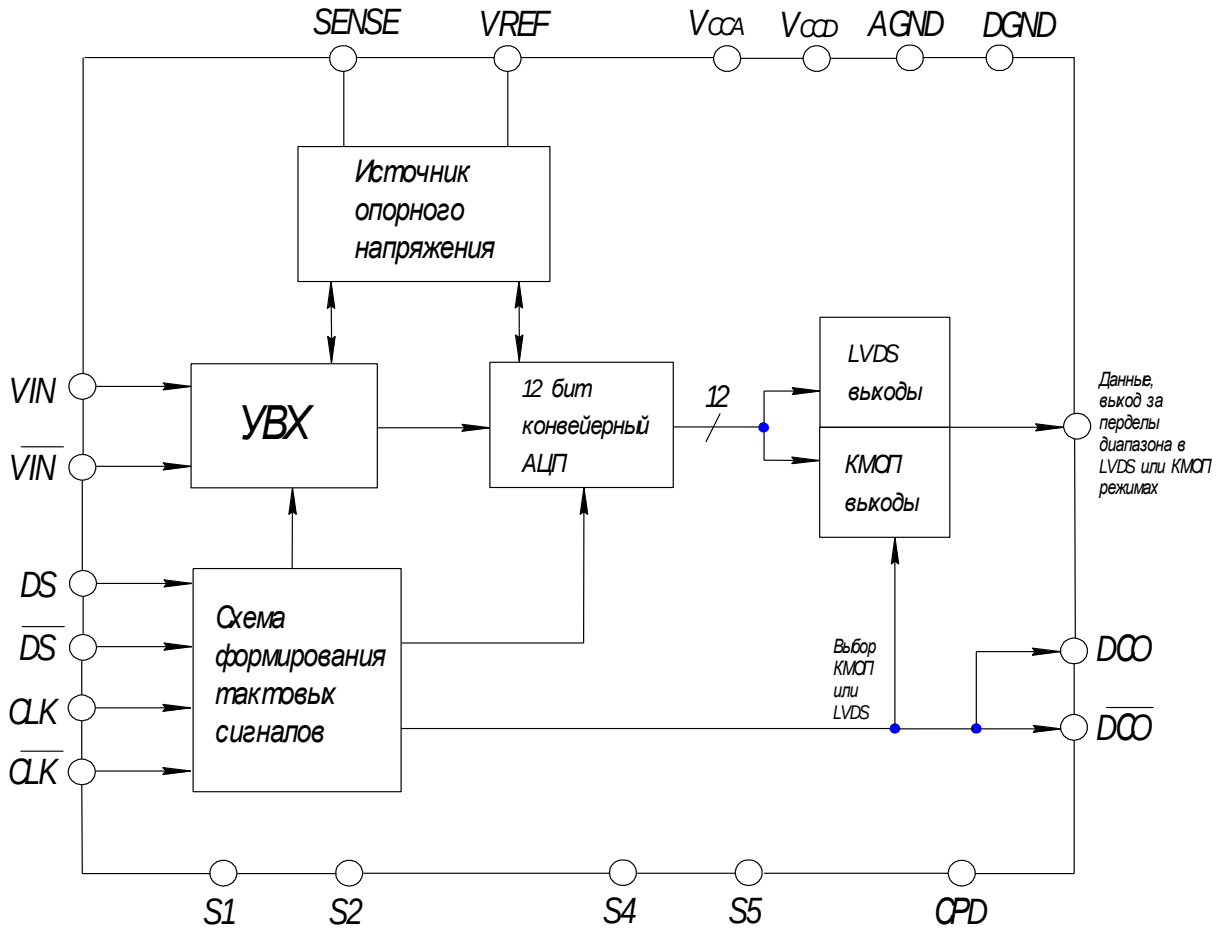


Рисунок 3 – Структурная электрическая схема ИС 1273ПВ12Т

5.2 Временные диаграммы работы ИС 1273ПВ12Т

Временные диаграммы работы микросхемы приведены на рисунках 4 и 5.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

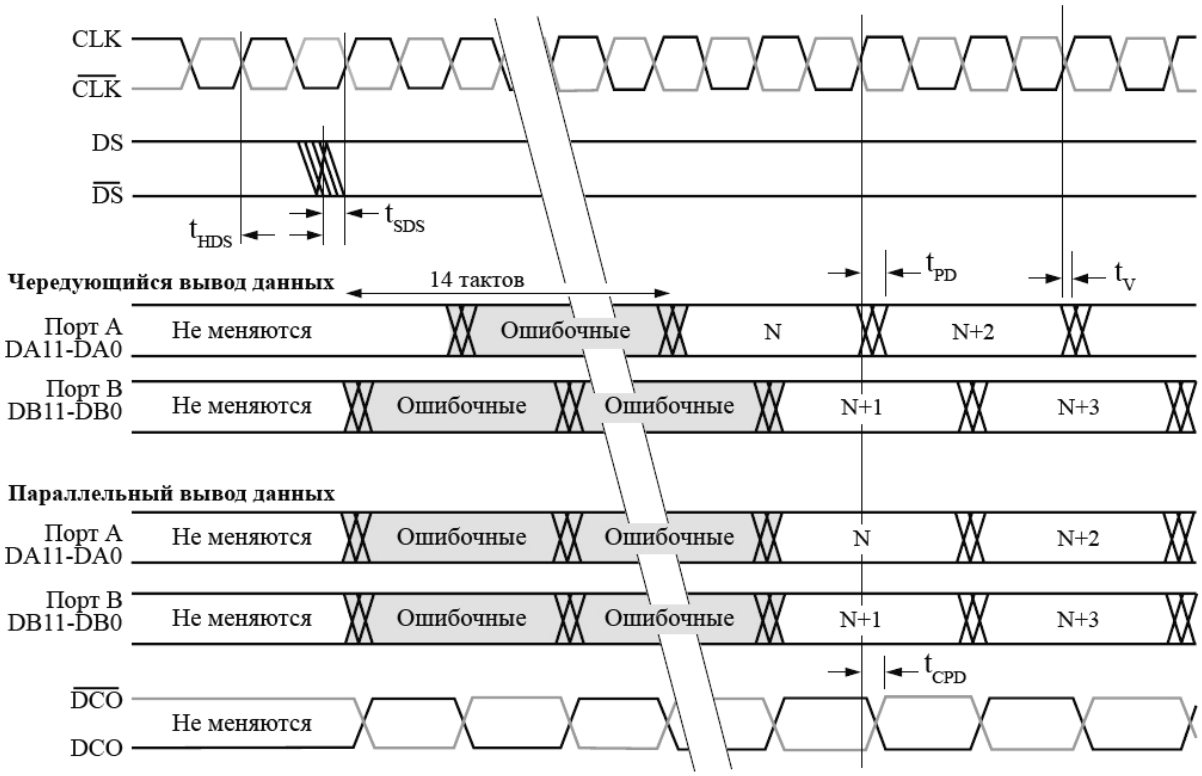


Рисунок 4 – Временные диаграммы работы ИС 1273ПВ12Т в режиме КМОП

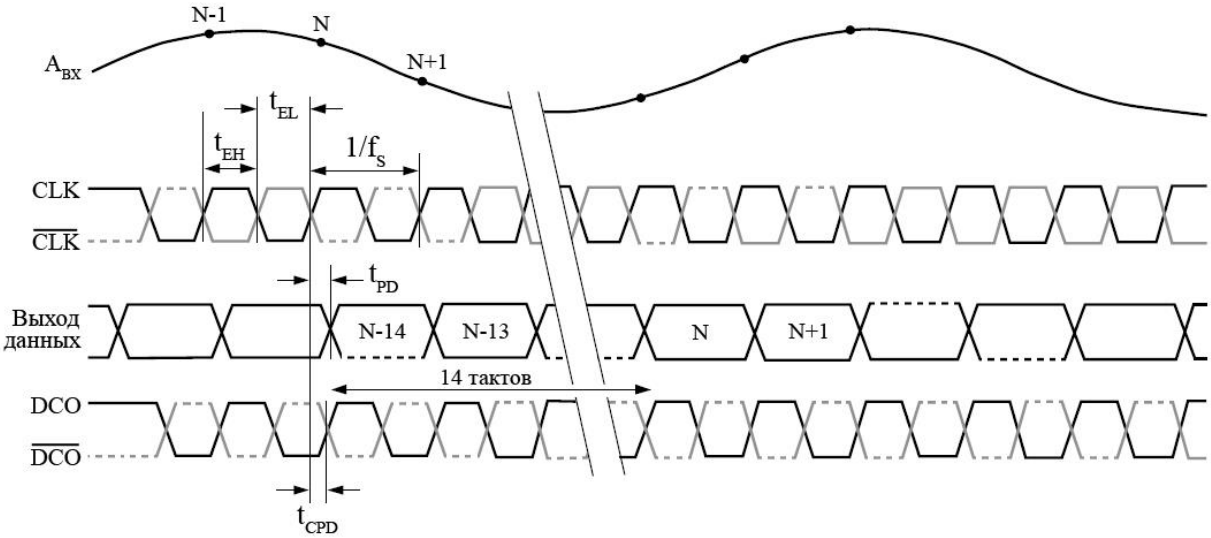


Рисунок 5 – Временные диаграммы работы ИС 1273ПВ12Т в режиме LVDS

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Типовые значения показателей переключения микросхемы приведены в таблице 4.

Т а б л и ц а 4 – Типовые значения показателей переключения ИС 1273ПВ12Т

Наименование параметр, единица измерения	Обозначение параметра	Температура среды, °С	Минимальное значение	Типовое значение	Максимальное значение
Длительность синхроимпульса CLK высокого уровня, нс [1]	t_{EH}	[2]	2,1		100
Длительность синхроимпульса CLK низкого уровня, нс [1]	t_{EL}	[2]	2,1		100
Время предустановки входа синхронизации данных, нс [3]	t_{SDS}	[2]			–0,6
Время удержания входа синхронизации данных, нс [3]	t_{HDS}	[2]	1,9		
Апертурная задержка, нс	t_A	25		1,5	
Апертурная неопределенность, пс [4]	jitter, t_j	25		0,6	
Время восстановления после выхода за пределы диапазона (КМОП и LVDS), такт		25		2	
Выход (КМОП режим)					
Время действия предыдущего кода, нс	t_V	[2]	2		
Задержка распространения, нс	t_{PD}	[2]		3,9	5,1
Время нарастания (от 20 % до 80 %), нс	t_R	25		1,1	
Время спада (от 20 % до 80 %), нс	t_F	25		1,1	
Задержка распространения DCO, нс	t_{CPD}	[2]		3,9	5,1
Несинхронность данных по отношению к DCO (t_{PD} относительно t_{CPD}), нс		[2]	–0,7	0	0,7
Режим чередования (A; B латентность), такт		[2]		14; 14	
Параллельный режим (A; B латентность), такт		[2]		15; 14	
Выход (LVDS режим)					
Время действия предыдущего кода, нс	t_V	[2]	2		
Задержка распространения, нс	t_{PD}	[2]		3,3	4,4
Время нарастания (от 20 % до 80 %), нс	t_R	25		0,7	
Время спада (от 20 % до 80 %), нс	t_F	25		0,7	
Задержка распространения DCO, нс	t_{CPD}	[2]		2,8	3,9
Несинхронность данных по отношению к DCO (t_{PD} относительно t_{CPD}), нс		[2]	0,1	0,5	0,9
Латентность, такт		[2]		14	

[1] При дифференциальном синхросигнале CLK, $\overline{CLK}$.
[2] В диапазоне температур от минус 60 до 85 °С.
[3] DS входы используются только в КМОП режиме.
[4] Среднеквадратичное значение.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Установка режимов работы ИС 1273ПВ12Т приведена в таблице 5.

Т а б л и ц а 5 – Установка режимов работы ИС 1273ПВ12Т

S1 (выбор формата выходных данных)	S2 (выбор режима LVDS\КМОП)	S4 (выбор режима вывода данных чередующийся/ параллельный)	S5 (выбор значения полной шкалы)	Режим
1	X	X	X	Двоично-дополнительный
0	X	X	X	Двоичный смещенный
X	0	1	X	Двухрежимный КМОП, чередование
X	0	0	X	Двухрежимный КМОП, параллельный
X	1	X	X	LVDS
X	X	X	1	U_{FS} = 0,766 В
X	X	X	0	U_{FS} = 1,532 В

Примечания

1 X – не имеет значения.

2 Вывод S4 используется только в режиме КМОП (U_{S2} – лог "0"). Выводы S1 – S5 имеют встроенный 30 кОм резистор, подключенный к AGND (см. рисунок 11).

3 Вывод S5 – установка полной шкалы (см. подраздел 5.4).

5.3 Входы синхронизации (CLK, $\overline{CLK}$)

Любой высокоскоростной АЦП крайне чувствителен к качеству сигнала синхронизации, обеспечиваемого пользователем. УВХ схема – это фактически смеситель полезного сигнала и шума, вызванного временным дрожанием фронта синхросигнала. По этой причине пользователь должен очень осторожно подходить к выбору источника сигнала синхронизации.

ИС 1273ПВ12Т имеет внутреннюю схему стабилизации скважности синхросигнала, которая синхронизируется по нарастающему фронту сигнала CLK и оптимизирует внутреннюю синхронизацию. Это обеспечивает возможность сохранения характеристик для широкого диапазона скважности входного синхросигнала. Дрожание нарастающего фронта никак не корректируется внутренней схемой стабилизации. Схема управления скважностью не работает для частот синхроимпульсов меньших, чем 120 МГц. Схема управления скважностью имеет постоянную времени установления, что должно быть учтено в приложениях, где частота синхросигнала может динамически меняться. С момента динамического изменения частоты синхросигнала до момента появления корректных данных требуется время от 1,5 до 7,5 мкс. Схема стабилизации скважности отключается при заземлении вывода 1.

Эквивалентная схема входов синхронизации приведена на рисунке 6. Входы синхронизации имеют внутреннее смещение 1,5 В (номинально) и поддерживают дифференциальный или однополярный сигналы.

Подп. и дата | Инв. № дубл. | Взам. инв. № | Подп. и дата | Инв. № подл.

Для лучших динамических качеств рекомендуется использовать дифференциальный сигнал. Минимальное значение дифференциального сигнала равно 0,2 В.

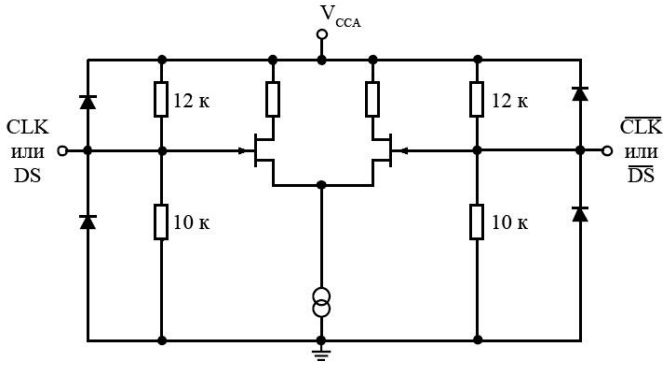


Рисунок 6 – CLK и DS входы

5.4 Аналоговые входы (VIN, $\overline{VIN}$)

Аналоговые входы в 1273ПВ12Т реализованы как дифференциальные буферы (см. рисунок 7). Для лучших динамических качеств импедансы на $\overline{VIN}$ и VIN должны совпадать. Аналоговые входы оптимизированы для обеспечения превосходных широкополосных характеристик и требуется, чтобы аналоговые входы управлялись дифференциальным сигналом (см. рисунок 8). Параметр SNR значительно ухудшается, если аналоговые входы управляются однополярным сигналом (см. рисунок 9).

Оба аналоговых входа смещены внутрисхемным резисторным делителем до напряжения 1,8 В (номинал) (см. рисунок 7). Номинальный дифференциальный входной диапазон равен 1,532 В от пика до пика (766 мВ × 2) (см. рисунок 8). Отметим, что лучший SNR достигается при U_{S5} = 0 В (полная шкала = 1,532 В).

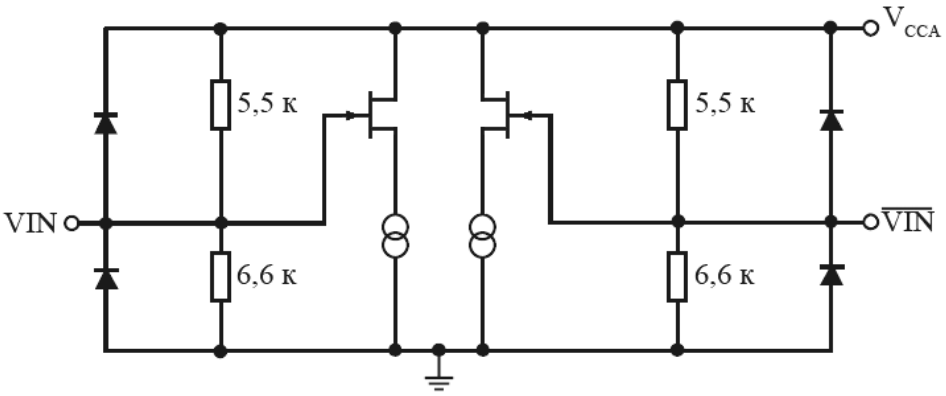


Рисунок 7 – Аналоговые входы

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

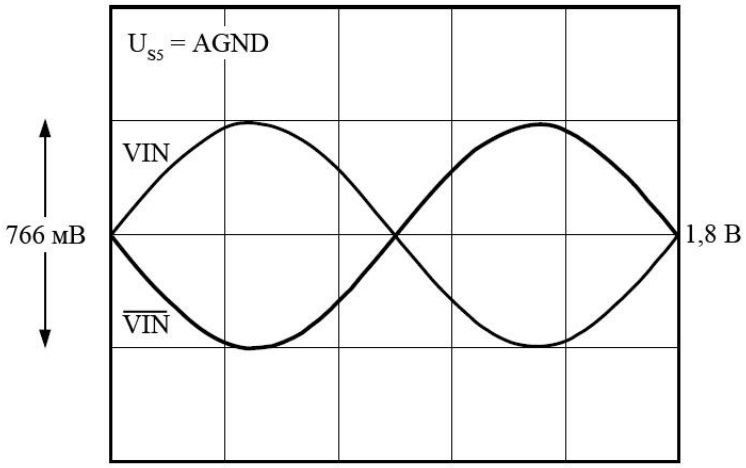


Рисунок 8 – Диапазон аналогового дифференциального входного напряжения

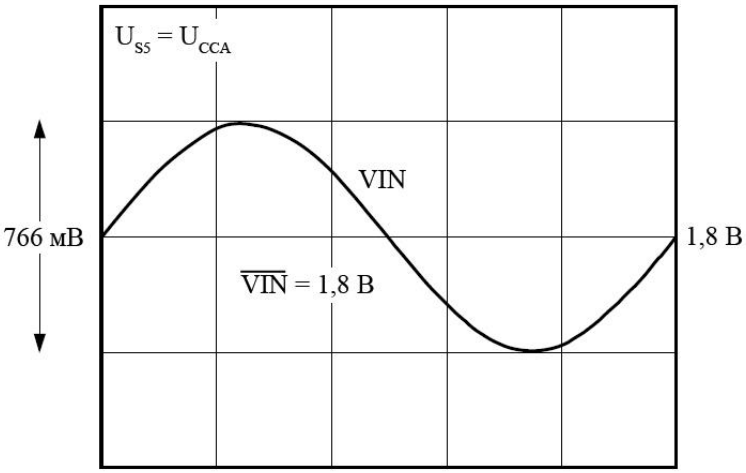


Рисунок 9 – Диапазон аналогового однополярного напряжения

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

5.5 Входы синхронизации данных (DS, $\overline{DS}$)

Эквивалентная схема входов синхронизации идентична схеме входов CLK, $\overline{CLK}$ (см. рисунок 6). В КМОП режиме входы синхронизации данных (DS, $\overline{DS}$) могут быть использованы в приложениях, где требуется появление конкретной выборки сигнала на выходе АЦП (порт А или порт В) относительно внешнего временного сигнала (см. рисунок 4).

Входы DS, $\overline{DS}$ так же могут быть использованы для синхронизации двух или более АЦП в системе, поддерживающей синхронизацию портов А и В разнесенных АЦП. Когда DS удерживается высоким ($\overline{DS}$ – низким), выходы данных АЦП и синхросигнал DCO не переключаются и остаются статичными. Синхронизация осуществляется подачей спадающего фронта DS в пределах временных условий t_{SDS} и t_{HDS} по отношению к нарастающему фронту синхросигнала CLK. Если спадающий фронт DS подается в пределах требуемого времени установки (t_{SDS}) перед заданным нарастающим фронтом синхросигнала CLK, то оцифрованное значение выборки N, сделанной по данному нарастающему фронту CLK в режиме чередования, доступно на порте А через 14 тактов синхросигнала CLK. Ближайшая выборка N+1, сделанная УВХ по следующему нарастающему фронту синхросигнала CLK, доступна на порте В через 14 тактов синхросигнала CLK. В сдвоенном параллельном режиме, порт А имеет 15 тактов латентности, порт В – 14 тактов, но данные доступны в одно и тоже время. В режиме чередования выходные данные порта А сдвинуты относительно выходных данных порта В на половину цикла выходного синхросигнала, как показано на рисунке 10.

Рисунок 10 – Режимы вывода данных

Когда ИС 1273ПВ12Т работает в LVDS режиме, вывод DS должен быть соединен с AGND, а $\overline{DS}$ – с V_{CCA}, т.к. входы DS и $\overline{DS}$ работают только в КМОП режиме вывода. То же самое нужно сделать, если в КМОП режиме не используется входная синхронизация данных.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

5.6 Выходы КМОП

Посредством вывода S2 (см. рисунок 11) выходные буферы на кристалле могут быть сконфигурированы для обеспечения совместимости выходных уровней с КМОП. Цифровые КМОП выходы (U_{S2} = 0) ТТЛ/КМОП совместимы с целью потребления меньшей мощности. Выходные буферы запитаны от отдельного источника питания U_{CCD}, что делает простым сопряжение с внешней логикой (см. рисунок 12). Выходы есть КМОП устройства, уровень напряжения на которых меняется от значения уровня DGND до U_{CCD} (без нагрузки по постоянному току). Рекомендуется минимизировать емкостную нагрузку выходного буфера использованием коротких проводников (менее 25 мм для полной емкости C_{LOAD} < 5 пФ), когда рабочим выбран КМОП режим. Также рекомендуется размещать группу низкоомных (20 Ом) подавляющих резисторов на линиях данных, чтобы уменьшить переходные эффекты во время работы.

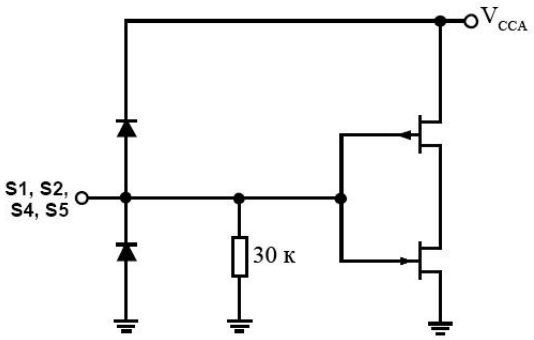


Рисунок 11 – Входы S1 – S5

5.7 Выходы LVDS

Посредством вывода S2 выходные буферы на кристалле могут быть сконфигурированы для обеспечения совместимости выходных уровней с LVDS. LVDS выходы доступны, когда $U_{S2} = U_{CCA}$ и между выводом 8 (LVDSBIAS) и AGND подключен токозадающий резистор R_{SET} = 3,65 кОм ± 1 %. Ток резистора R_{SET} устанавливает выходной ток на каждом выходе близким к номинальному 3,5 мА. 100-омный дифференциальный нагрузочный резистор, размещенный на входах LVDS приемника, дает номинальное 350 мВ напряжение переключения на приемнике. Эквивалентная схема выходного буфера LVDS приведена на рисунке 13. Выходное смещение LVDS буфера номинально равно 1,25 В.

LVDS режим облегчает сопряжение с LVDS приемниками в пользовательском ASICs и FPGAs, которые имеют LVDS режим для лучшей переключательной способности в условиях зашумленного окружения. Одиночная сетевая топология по типу точка – точка рекомендована со 100-омным нагрузочным резистором, расположенным настолько близко к приемнику, насколько это возможно.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Так же рекомендуется сохранять длину линии от 75 до 100 мм максимум и делать длины дифференциальных линий одинаковыми насколько это возможно.

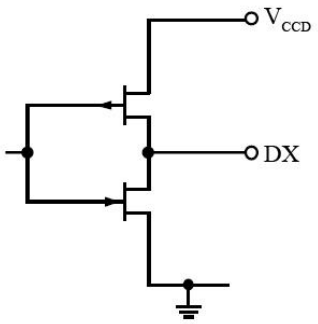


Рисунок 12 – Выходы данных (режим КМОП)

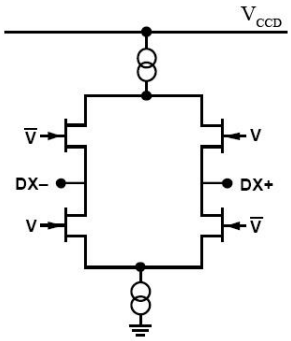


Рисунок 13 – Выходы данных (режим LVDS)

5.8 Выходы синхронизации DCO и $\overline{DCO}$

В режиме КМОП частота синхросигнала f_{CLK} делится на 2 внутри 1273ПВ12Т и полученный сигнал подается на выходы DCO и $\overline{DCO}$(см. рисунок 4). Считывание выходного кода АЦП с использованием сигнала синхронизации данных DCO упрощается, поскольку несинхронность данных относительно сигнала DCO очень мала (см. разницу между t_{PD} и t_{CPD}). Емкость нагрузки выходов DCO и $\overline{DCO}$ не должна быть более чем 5 пФ, чтобы ограничить переходные эффекты при работе. Выходные синхросигналы имеют КМОП уровни в случае, если выбран режим КМОП (U_{S2} = 0 В) и LVDS уровни в режиме LVDS (U_{S2} = U_{CCA}), требуя 100-омного нагрузочного дифференциального резистора на приемнике в LVDS режиме. Выходной синхросигнал DCO в LVDS режиме переключается с частотой f_{CLK} (см. рисунок 5).

5.9 Источник опорного напряжения

Размах полной шкалы аналогового входа линейно пропорционален напряжению U_{REF}. Может быть использован внешний источник опорного напряжения (ИОН) путем подключения контакта SENSE к V_{CCA} (отключает внутренний интерфейс) и управления V_{REF} от внешнего ИОН (см. рисунок 14). Значительных ухудшений параметров не возникает при отклонении U_{REF} ± 5 %. При использовании как внешнего, так и внутреннего ИОН между выводами V_{REF} и AGND необходимо установить конденсатор емкостью 0,1 мкФ. Для работы от внутреннего источника опорного напряжения вывод SENSE никуда не подключается (см. рисунок 15).

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

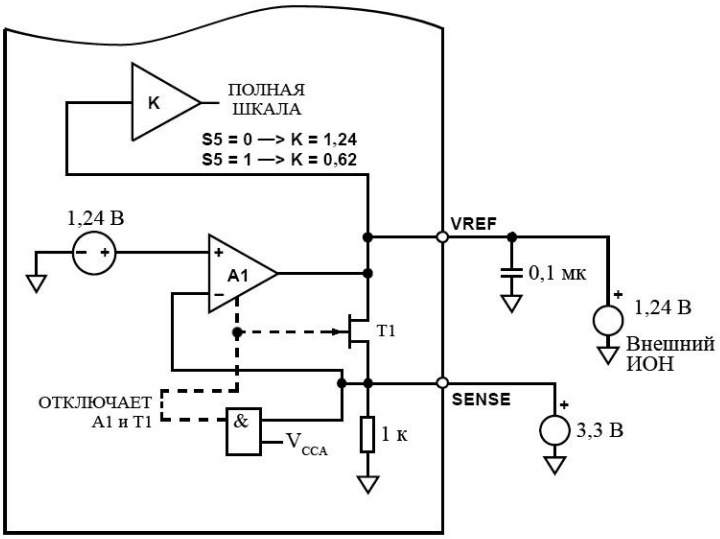


Рисунок 14 – Использование внешнего ИОН

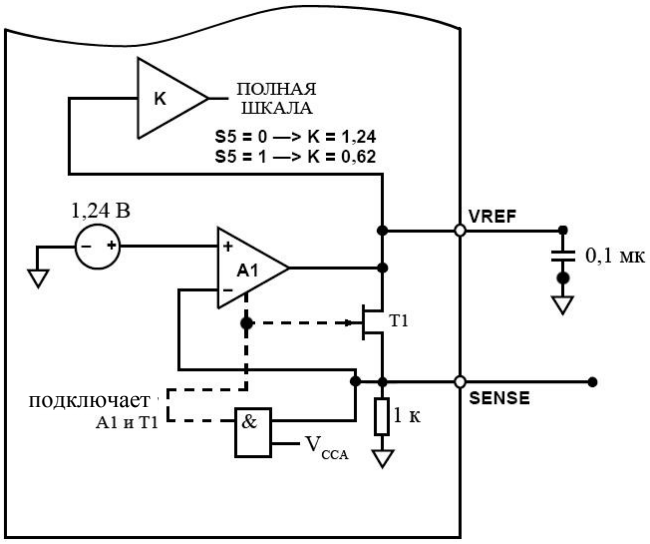


Рисунок 15 – Использование внутреннего ИОН

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

6 Рекомендации по применению

6.1 Типовая схема подключения сигнала синхронизации

Преобразование однополярного сигнала синхронизации в дифференциальный для управления входами CLK и $\overline{CLK}$ хорошо реализуется с использованием буфера с положительной ЭСЛ-логикой, как показано на рисунке 16.

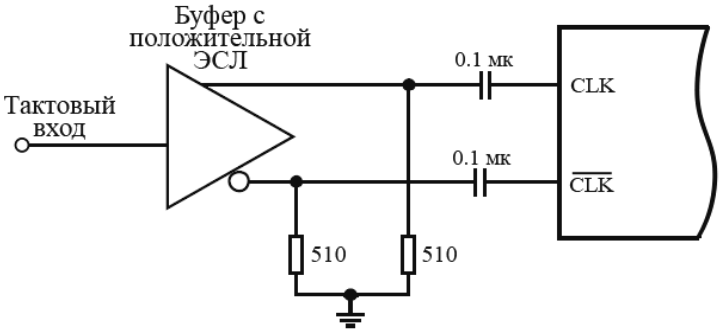


Рисунок 16 – Преобразование недифференциального тактового сигнала в дифференциальный

При длине проводников более 50 мм рекомендуется использовать стандартное согласование низковольтной положительной ЭСЛ-логики вместо резисторов, показанных на рисунке 16. Связь по переменному току (наличие конденсаторов на рисунке 16) необязательна, если синфазное напряжение на выходах буфера находится в пределах от 1,2 до 1,8 В.

6.2 Типовая схема подключения входного аналогового сигнала

Рекомендуемая схема подключения входного аналогового сигнала показана на рисунке 17. Трансформатор T1 представляет собой широкополосный радиочастотный трансформатор, обеспечивающий преобразование недифференциального входного сигнала в дифференциальный. Использование трансформатора позволяет также минимизировать четные гармоники. При необходимости, с целью небольшого (от 1 до 2 дБ) улучшения характеристик для входного сигнала частотой более 100 МГц, последовательно с трансформатором T1 может быть подключен второй такой же трансформатор.

Согласование схемы рисунка 17 с выходом источника аналогового сигнала обеспечивается резистором R1, а согласование со входом 1273ПВ12Т – резисторами R2 и R3. Аналоговый сигнал фильтруется НЧ-фильтром, состоящим из резисторов R4, R5 и конденсатора C7.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

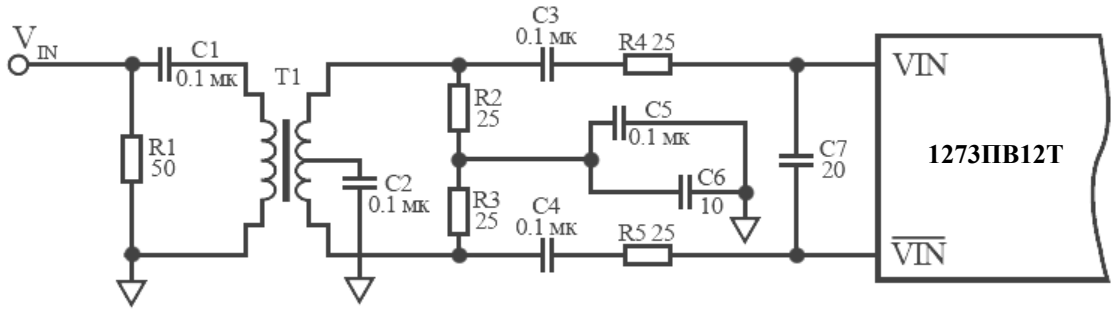


Рисунок 17 – Рекомендуемая схема подключения входного аналогового сигнала

6.3 Рекомендации по рабочей температуре корпуса

Следует обратить внимание, что снижение рабочей температуры корпуса ИС 1273ПВ12Т позволяет улучшить ее электрические параметры, поэтому необходимо принять меры, обеспечивающие выполнение этого условия (установка радиатора, принудительный обдув или и то, и другое вместе).

6.4 Указания по монтажу

6.4.1 Устанавливать и извлекать микросхемы из контактирующих устройств, а также производить их замену необходимо только после снятия напряжения со всех выводов контактирующего устройства.

6.4.2 Режимы и условия монтажа в аппаратуре микросхем – по ОСТ 11 073.063-84. Рекомендуется начинать пайку с выводов земли и питания. Пайку остальных выводов разрешается проводить в любой последовательности.

6.4.3 Порядок подачи и снятия напряжений питания и входных сигналов на микросхемы должен быть следующим:

- напряжение питания аналоговой части U_{CCA} подаётся первым и снимается последним. Скорость нарастания напряжения питания аналоговой части должна быть не более 1 В/мс;
- напряжение питания цифровой части U_{CCD} подаётся одновременно с напряжением U_{CCA} или после него, а снимается до снятия напряжения U_{CCA} или одновременно с ним;
- входные сигналы подаются в произвольном порядке после подачи U_{CCA} и U_{CCD} и снимаются в произвольном порядке до снятия U_{CCD}, U_{CCA}.

6.4.4 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы в соответствии с ОСТ 11 073.062-2001.

Подп. и дата
Инв. № дубл.
Взам. инв. №
Подп. и дата
Инв. № подл.

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ документа	Входящий № сопроводительного документа и дата	Подп.	Дата
	изменённых	заменённых	новых	аннулированных					
-	-	-	все	-	28	ГКДЯ.027/1-2015			01.07.15

Подп. и дата | Инв. № дубл. | Взам. инв. № | Подп. и дата | Инв. № подл.